

PATENT
81912.0014
Express Mail Label No. EV 325 217 117 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Satoshi YANAGISAWA

Serial No: Not assigned

Filed: August 18, 2003

For: Semiconductor Device with
Semiconductor Chip Mounted in Package

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-259601 which was filed September 5, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: August 18, 2003

By: 

Lawrence J. McClure

Registration No. 44,228

Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900

Los Angeles, California 90071

Telephone: 213-337-6700

Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月 5日

出 願 番 号

Application Number:

特願2002-259601

[ST.10/C]:

[JP 2002-259601]

出 願 人

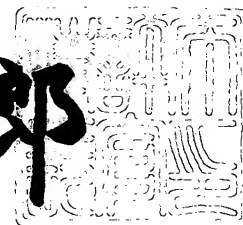
Applicant(s):

株式会社東芝

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030251

【書類名】 特許願

【整理番号】 ADB0230381

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/00

【発明の名称】 半導体装置

【請求項の数】 19

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 柳澤 暁

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100083161

 【弁理士】

 【氏名又は名称】 外川 英明

 【電話番号】 (03)3457-2512

【手数料の表示】

 【予納台帳番号】 010261

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 主面上に第 1 の電極を少なくとも有し、第 2 主面上に第 2 の電極を少なくとも有する半導体チップと、

第 1 のヒートシンク部から延びる第 1 の端子を有し、前記第 1 のヒートシンク部が前記第 1 の電極と接続されている第 1 のリードフレームと、

第 2 のヒートシンク部から延びる第 2 の端子を有し、前記第 2 のヒートシンク部が前記第 2 の電極と接続されている第 2 のリードフレームと、

前記半導体チップを封止し、前記第 1 及び第 2 のヒートシンク部の表面を露出するように形成されたハウジングとを具備した半導体装置。

【請求項 2】 前記第 1 の電極及び前記第 2 の電極は、前記第 1 のリードフレームの第 1 のヒートシンク部及び前記第 2 のリードフレームの第 2 のヒートシンク部にそれぞれ直接接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 及び第 2 のヒートシンク部の厚さは第 1 及び第 2 の端子の厚さよりも厚いことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記第 1 及び第 2 のリードフレームは、Cu を含む導電性材料によって構成されていることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 5】 前記第 1 の主面上に形成された第 3 の電極をさらに有し、この第 3 の電極が、ワイヤを介して第 3 のリードフレームに接続されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

【請求項 6】 前記第 1 の主面上に形成された第 3 の電極と、上部プレート部を有し、前記上部プレート部が前記第 3 の電極と接続されている第 3 のリードフレームとをさらに具備したことを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

【請求項 7】 前記ハウジングは、前記上部プレート部の表面が露出するように形成されていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記第 3 のリードフレームは、Cu を含む導電性材料によって構

成されていることを特徴とする請求項 5 乃至 7 のいずれかに記載の半導体装置。

【請求項 9】 第 1 主面上に第 1 の電極を少なくとも有し、第 2 主面上に第 2 の電極を少なくとも有する半導体チップと、
前記第 1 の電極と接続されているヒートシンクと、
前記ヒートシンクと接続されている第 1 のリードフレームと、
ヒートシンク部から延びる端子を有し、前記ヒートシンク部が前記第 2 の電極と接続されている第 2 のリードフレームと、
前記半導体チップを封止し、前記ヒートシンク及び前記第 2 のリードフレームのヒートシンク部の表面を露出するよう形成されたハウジングとを具備した半導体装置。

【請求項 10】 前記ヒートシンクは前記第 1 の電極及び第 1 のリードフレームと直接接続されており、
前記ヒートシンク部は、前記第 2 の電極と直接接続されていることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】 前記ヒートシンクの厚さは、前記第 1 のリードフレームの厚さよりも厚く形成され、前記ヒートシンク部の厚さは、前記端子の厚さよりも厚く形成されていることを特徴とする請求項 9 または 10 に記載の半導体装置。

【請求項 12】 前記ヒートシンクは、超音波接合によって前記第 1 の電極と接続されており、
前記ヒートシンクと前記第 1 の電極は、A1 を含む導電性材料によって構成されていることを特徴とする請求項 9 乃至 11 のいずれかに記載の半導体装置。

【請求項 13】 前記第 1 主面上に形成された第 3 の電極をさらに有し、この第 3 の電極が、ワイヤを介して前記第 3 のリードフレームに接続されていることを特徴とする請求項 9 乃至 12 のいずれかに記載の半導体装置。

【請求項 14】 前記第 1 主面上に形成された第 3 の電極をさらに有し、この第 3 の電極が、ストラップを介して第 3 のリードフレームに接続されていることを特徴とする請求項 9 乃至 12 のいずれかに記載の半導体装置。

【請求項 15】 前記ハウジングは、前記ストラップの表面が露出するよう形成されていることを特徴とする請求項 14 に記載の半導体装置。

【請求項 1 6】 前記ストラップは、超音波接合によって前記第 3 の電極と接続されており、前記ストラップ及び前記第 3 の電極は、A 1 を含む導電性材料によって構成されていることを特徴とする請求項 1 4 または 1 5 に記載の半導体装置。

【請求項 1 7】 前記第 1 のヒートシンク部または前記ヒートシンクは、前記第 3 の電極上の領域にも、延在して形成されていることを特徴とする請求項 5, 6, 1 3, 1 4 のいずれかに記載の半導体装置。

【請求項 1 8】 第 1 主面上に第 1 の電極を少なくとも有し、第 2 主面上に第 2 の電極を少なくとも有する半導体チップと、
上部プレート部から延びる第 1 の端子を有し、前記上部プレート部が前記第 1 の電極と接続されている第 1 のリードフレームと、
下部プレート部から延びる第 2 の端子を有し、前記下部プレート部が前記第 2 の電極と接続されている第 2 のリードフレームと、
前記半導体チップを封止するハウジングとを具備した半導体装置において、
前記上部プレート部及び前記下部プレート部の表面を前記ハウジングから露出させることを特徴とする半導体装置。

【請求項 1 9】 第 1 主面上に第 1 の電極を少なくとも有し、第 2 主面上に第 2 の電極を少なくとも有する半導体チップと、
前記第 1 の電極と接続されている上部プレートと、
前記上部プレートに接続されている第 1 のリードフレームと、
下部プレート部から延びる第 2 の端子を有し、前記下部プレート部が前記第 2 の電極と接続されている第 2 のリードフレームと、
前記半導体チップを封止するハウジングとを具備した半導体装置において、
前記上部プレート及び前記下部プレート部の表面を前記ハウジングから露出させることを特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置に係り、特に半導体装置に搭載されている半導体チップ

の電極が、導電性のプレートを通してリードフレームに接続されている表面実装型パッケージに関する。

【 0 0 0 2 】

【従来の技術】

近年、縦型のMOSFET等のパワーデバイスでは、小型化が要求されるとともに、オン抵抗等の電気抵抗を低減することが強く求められている。また、大容量化に伴って、チップから発生する熱を効率良く外部へ放出する必要があり、同時に熱抵抗を低減することが強く求められている。

【 0 0 0 3 】

図 1 8 及び図 1 9 に、電気抵抗を低減するために提案された半導体装置の一例を示す。図 1 8 は、半導体装置の平面図であり、図 1 9 は、図 1 8 に示した半導体装置の A-A における要部断面図である。ここで、半導体チップ 1 2 0 1、第 1 及至第 3 のリードフレーム 1 2 0 2、1 2 0 3、1 2 0 4、ゲートワイヤ 1 2 0 5、ハウジング 1 2 0 6 である。

【 0 0 0 4 】

前記半導体チップ 1 2 0 1 の第 1 主面上に形成されている電極の一つ、ゲート電極は、前記ゲートワイヤ 1 2 0 5 を介して前記第 3 のリードフレーム 1 2 0 4 に接続されている。前記半導体チップ 1 2 0 1 の第 1 主面上に形成されている他の電極、ソース電極は、上部プレート部 1 2 0 7 を介して前記第 1 のリードフレーム 1 2 0 2 に接続されており、前記半導体チップ 1 2 0 1 の第 2 主面上に形成されているドレイン電極は、底部プレート部 1 2 0 8 を介して第 2 のリードフレーム 1 2 0 3 に接続されている。

【 0 0 0 5 】

ゲート電極よりも多くの電流を流す必要のあるソース電極上に上部プレート部 1 2 0 7 を接続し、ストラップ構造（ソース電極がほぼ板状の導電性プレートを介してリードフレームに接続されている構造）にすることにより、低オン抵抗化を実現している。前記第 1 乃至第 3 のリードフレーム 1 2 0 2、1 2 0 3、1 2 0 4 の一部、前記半導体チップ 1 2 0 1 及び前記ゲートワイヤ 1 2 0 5 は、前記ハウジング 1 2 0 6 内に封入されている。この種の半導体装置は、例えば、特許

文献1に記載されている。

【0006】

また、図20及び図21に、熱抵抗を低減するために提案された別の半導体装置の一例を示す。図20は、半導体装置の平面図であり、図21は、図20に示した半導体装置のB-Bにおける要部断面図である。ここで、半導体チップ1401、第1及至第3のリードフレーム1402、1403、1404、ヒートシンク1405、ソースワイヤ1406、ゲートワイヤ1407、ハウジング1408である。前記半導体チップ1401の第1主面上に形成されているソース電極及びゲート電極は、複数または単数の前記ソースワイヤ1406及び前記ゲートワイヤ1407を介して前記第1または第3のリードフレーム1402、1404にそれぞれ接続されており、前記半導体チップ1401の第2主面上に形成されているドレイン電極は、第2のリードフレーム1403に接続されている。また、前記半導体チップ1401の第1主面上には、ヒートシンク1405が形成されている。前記ヒートシンク1405は、表面が前記ハウジング1408の外に露出しているため、外部に放熱が可能である。この種の半導体装置は、例えば、特許文献2に記載されている。

【0007】

【特許文献1】

特開2000-114445号公報（図3）

【0008】

【特許文献2】

特開2001-358259号公報（図1）

【0009】

【発明が解決しようとする課題】

従来の半導体装置においては、特に多くの電流を流す必要のあるソース電極上にリードフレームの上部プレート部が接続されている。したがって、電極からリードフレームまでの電流経路の断面積が大きいと、電気抵抗の低減が可能となる一方で、前記プレートが前記ハウジング内に樹脂封止されているため、特に大きな電流を流した場合、半導体チップから発生する熱が放熱することができず、

熱による素子の暴走、変形、ショート不良などが発生するという問題があった。

【 0 0 1 0 】

また、従来の別の半導体装置においては、半導体チップの第 1 主面上にヒートシンクが形成されている。したがって、半導体チップから発生する熱を放熱することが可能となる。しかし、特に多くの電流を流す必要のあるソース電極を複数のワイヤによって、リードフレームに接続しているため、電極からリードフレームまでの電流経路の断面積が小さく、電気抵抗が増大するという問題があった。

【 0 0 1 1 】

本発明は、上記した問題点を解決すべくなされたもので、電気抵抗を低減するとともに、半導体チップから発生する熱を効率良く外部に放出することが可能な半導体装置を提供することを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

上記した目的を達成するための本発明の半導体装置は、第 1 主面上に第 1 の電極を少なくとも有し、第 2 主面上に第 2 の電極を少なくとも有する半導体チップと、

第 1 のヒートシンク部から延びる第 1 の端子を有し、前記第 1 のヒートシンク部が前記第 1 の電極と接続されている第 1 のリードフレームと、

第 2 のヒートシンク部から延びる第 2 の端子を有し、前記第 2 のヒートシンク部が前記第 2 の電極と接続されている第 2 のリードフレームと、

前記半導体チップを封止し、前記第 1 及び第 2 のヒートシンク部の表面を露出するように形成されたハウジングとを具備している。

【 0 0 1 3 】

また、本発明の半導体装置は、第 1 主面上に第 1 の電極を少なくとも有し、第 2 主面上に第 2 の電極を少なくとも有する半導体チップと、

前記第 1 の電極と接続されているヒートシンクと、

前記ヒートシンクと接続されている第 1 のリードフレームと、

ヒートシンク部から延びる第 2 の端子を有し、前記ヒートシンク部が前記第 2 の電極と接続されている第 2 のリードフレームと、

前記半導体チップを封止し、前記ヒートシンク及び前記第2のリードフレームのヒートシンク部の表面を露出するよう形成されたハウジングとを具備している。

【0014】

上記した本発明によれば、第1のリードフレームに設けられたヒートシンク部の上面またはヒートシンクの上面と、第2のリードフレームに設けられた第2のヒートシンク部の下面またはヒートシンクの下面は、樹脂に封止されておらず、外部に露出しているため、半導体チップから発生する熱を効率良く放出することができる。したがって、電極上に形成される、ストラップとヒートシンクが一体化した構成であるため、効率良く半導体チップから発生する熱を外部に放出することができ、熱抵抗の低減が可能となるとともに、電気抵抗を低減することができる。

【0015】

【発明の実施の形態】

以下、図面を参照して、本発明の実施の形態について詳細に説明する。

(第1の実施の形態)

図1乃至図3に本発明の第1の実施の形態に係る半導体装置を示す。

【0016】

図1は、半導体装置の平面図である。図2は、図1に示した半導体装置のA-Aにおける要部断面図であり、図3は、図1に示した半導体装置のB-Bにおける要部断面図である。

【0017】

ここで、半導体チップ101、第1乃至第3のリードフレーム102、103、104、第1及び第2のヒートシンク部105、106、上部プレート部107、第1乃至第3の端子108、109、110、ハウジング111である。半導体装置に搭載されている半導体素子として、例えばMOSFETが形成されている。

【0018】

図2に示すように、前記半導体チップ101の第1主面上に形成されている電極の一つ、ゲート電極（図示しない）上には、ストラップを兼ねた上部プレート

部 1 0 7 が接続されている。前記上部プレート部 1 0 7 は、前記第 3 のリードフレーム 1 0 4 の一端 (A_1) であり、前記第 3 の端子 1 1 0 は、前記第 3 のリードフレーム 1 0 4 の他端 (A_2) である。つまり、前記上部プレート部 1 0 7 と前記第 3 の端子 1 1 0 は一体化して、前記第 3 のリードフレーム 1 0 4 を構成している。前記第 3 のリードフレーム 1 0 4 は、適度な硬度、抵抗、価格等を考慮し、例えば Cu を含む導電性材料によって構成されている。

【 0 0 1 9 】

また、前記半導体チップ 1 0 1 の第 2 主面上に形成されているドレイン電極（図示しない）には、前記第 2 のヒートシンク部 1 0 6 が接続されている。前記第 2 のヒートシンク部 1 0 6 は、前記第 2 のリードフレーム 1 0 3 の一端 (C_1) であり、前記第 2 の端子 1 0 9 は、前記第 2 のリードフレーム 1 0 3 の他端 (C_2) である。つまり、前記第 2 のヒートシンク部 1 0 6 と前記第 2 の端子 1 0 9 は一体化して、前記第 2 のリードフレーム 1 0 3 を構成している。前記第 2 のリードフレーム 1 0 3 は、適度な硬度、抵抗、価格等を考慮し、例えば Cu を含む導電性材料によって構成されている。

【 0 0 2 0 】

図 3 に示すように、前記半導体チップ 1 0 1 の第 1 主面上に形成されている他の電極、ソース電極（図示しない）上には、上部プレート部によって構成されるストラップとヒートシンクを兼ねた前記第 1 のヒートシンク部 1 0 5 が接続されている。前記第 1 のヒートシンク部 1 0 5 は、前記第 1 のリードフレーム 1 0 2 の一端 (B_1) であり、前記第 1 の端子 1 0 8 は、前記第 1 のリードフレーム 1 0 2 の他端 (B_2) である。つまり、前記第 1 のヒートシンク部 1 0 5 と前記第 1 の端子 1 0 8 は一体化して、前記第 1 のリードフレーム 1 0 2 を構成している。前記第 1 のリードフレーム 1 0 2 は、適度な硬度、抵抗、価格等を考慮し、例えば Cu を含む導電性材料によって構成されている。

【 0 0 2 1 】

前記第 1 及び第 2 のヒートシンク部 1 0 5, 1 0 6 は、ヒートシンクの効果を十分有するべく、前記第 1 及び第 2 の端子 1 0 8, 1 0 9 よりも厚く形成されている。前記ソース電極上に接続されているストラップを兼ねた前記第 1 のヒート

シンク部 1 0 5 と、前記ドレイン電極に接続されている前記第 2 のヒートシンク部 1 0 6 は、前記半導体チップ 1 0 1 を上下から直接挟み込んでいる構成となっている。前記第 1 及び第 2 のヒートシンク部 1 0 5, 1 0 6 は、前記半導体チップ 1 0 1 の主面に直接接触させて圧接することによって、前記ソース電極及びドレイン電極と接続されている。前記第 1 のヒートシンク部 1 0 5 は上面を露出するよう、前記第 2 のヒートシンク部 1 0 6 は下面を露出するよう封止され、周囲に前記ハウジング 1 1 1 が形成されている。前記ハウジング 1 1 1 は、樹脂等によって封止されることによって構成されており、前記第 1 乃至第 3 のリードフレーム 1 0 2, 1 0 3, 1 0 4 は、樹脂の膨張力（または、収縮力）によって前記ハウジング 1 1 1 に固定されている。

【 0 0 2 2 】

図 2 に示すように、前記ゲート電極上に接続されているストラップを兼ねた前記上部プレート部 1 0 7 は樹脂等で覆われており、前記第 1 のヒートシンク部 1 0 5 とは、絶縁されている。また、図 4 及び図 5 に示すように、前記上部プレート部 1 0 7 の上に、樹脂などの封止体を介して前記第 1 のヒートシンク部 1 0 5 が形成されていてもよい。このように形成することによって、ヒートシンク領域の面積をより大きく形成することができるため、さらに熱抵抗を低減することができる。

【 0 0 2 3 】

本実施の形態によれば、前記第 1 のヒートシンク部 1 0 5 の上面と、第 2 のヒートシンク部 1 0 6 の下面は、樹脂に封止されておらず、外部に露出しているため、半導体チップから発生する熱を直接外部に放出することができる。したがって、ソース電極上に形成されるストラップとヒートシンクが一体化した構成であるため、効率良く半導体チップから発生する熱を外部に放出することができ、熱抵抗を低減するとともに、電気抵抗を低減することが可能となる。また、ゲート電極上にストラップ構造のプレート部が形成されているため、電気抵抗をより低減することができる。

【 0 0 2 4 】

なお、ソース電極上にストラップ構造のプレートを接続し、その上にさらにヒ

ートシンクを配置することも考えられるが、この場合は、前記プレートソース電極に接続した際に前記導電性プレートに生じる凹凸によって、前記プレートとヒートシンクが密着せず、隙間が生じることにより、効率よく外部に熱を放出することができないことがある。

(第1の変形例)

図6に本発明の第1の実施の形態の第1の変形例に係る半導体装置を示す。

【0025】

図6は、図1に示した半導体装置のA-Aにおける要部断面図である。なお、図1に示した半導体装置のB-Bにおける要部断面図は、前記した第1の実施の形態の図3と同じである。

【0026】

ここで、半導体チップ101、第1及至第3のリードフレーム102、103、104、第1及び第2のヒートシンク部105、106、ゲートワイヤ112、第1乃至第3の端子108、109、110、ハウジング111である。半導体装置に搭載されている半導体素子として、例えばMOSFETが形成されている。

【0027】

図6に示すように、前記半導体チップ101の第1主面上に形成されている電極の一つ、ゲート電極上には、ボンディングによって前記ゲートワイヤ112が接続され、前記ゲートワイヤ112を介して前記第3のリードフレーム104に接続されている。前記ゲートワイヤ112は例えば金で構成されており、前記第3のリードフレーム104は、適度な硬度、抵抗、価格等を考慮し、例えばCuを含む導電性材料によって構成されている。

【0028】

また、図7に示すように、前記ゲートワイヤ112の上に、樹脂などの封止体を介して前記第1のヒートシンク部105が形成されていてもよい。このように形成することによって、ヒートシンク領域の面積をより大きく形成することができるため、さらに熱抵抗を低減することができる。

【0029】

前記半導体チップ 1 0 1 の第 1 主面上に形成されている他の電極、ソース電極上の構成と、前記半導体チップ 1 0 1 の第 2 主面上に形成されているドレイン電極上の構成は図 3 と同じである。前記第 1 及び第 2 のヒートシンク部 1 0 5, 1 0 6 は、ヒートシンクの効果を十分有するべく、前記第 1 及び第 2 の端子 1 0 8, 1 0 9 よりも厚く形成されている。

【 0 0 3 0 】

第 1 の変形例においても、前記第 1 のヒートシンク部 1 0 5 の上面と、第 2 のヒートシンク部 1 0 6 の下面は、樹脂に封止されておらず、外部に露出しているため、半導体チップから発生する熱を直接外部に放出することができる。したがって、ソース電極上に形成されるストラップとヒートシンクが一体化した構成であるため、効率良く半導体チップから発生する熱を外部に放出することができ、熱抵抗を低減するとともに、電気抵抗を低減することが可能となる。

【 0 0 3 1 】

ここで、ゲート電極とリードフレームとが、ゲートワイヤによって接続されているが、ゲート電極は制御電極であり、ソース電極と比較すると多くの電流を流す必要がないため、ゲートワイヤによる電気抵抗の増加は微小である。よって、第 1 の変形例では、ゲート電極上のプレートを加工して形成する必要があるため、第 1 の実施の形態において記載した例と比べて、比較的容易に製造することができ、電気抵抗及び熱抵抗をほぼ同様に低減することが可能となる。

(第 2 の変形例)

図 8 に本発明の第 1 の実施の形態の第 2 の変形例に係る半導体装置を示す。

【 0 0 3 2 】

図 8 は、図 1 に示した半導体装置の A - A における要部断面図である。なお、図 1 に示した半導体装置の B - B における要部断面図は、前記した第 1 の実施の形態に記載した図 3 と同じである。

【 0 0 3 3 】

ここで、半導体チップ 1 0 1、第 1 乃至第 3 のリードフレーム 1 0 2, 1 0 3, 1 0 4、第 1 乃至第 3 のヒートシンク部 1 0 5, 1 0 6, 1 1 3、第 1 乃至第 3 の端子 1 0 8, 1 0 9, 1 1 0、ハウジング 1 1 1 である。前記半導体チップ

1 0 1 には、例えば M O S F E T が形成されている。

【 0 0 3 4 】

図 8 に示すように、前記半導体チップ 1 0 1 の第 1 主面上に形成されている電極の一つ、ゲート電極上には、ストラップを兼ねた前記第 3 のヒートシンク部 1 1 3 が直接接触することによって接続されている。前記第 3 のヒートシンク部 1 1 3 は、前記第 3 のリードフレーム 1 0 4 の一端に形成され、前記第 3 の端子 1 1 0 は、前記第 3 のリードフレーム 1 0 4 の他端に形成されており、前記第 3 のヒートシンク部 1 1 3 と前記第 3 の端子は一体化して、前記第 3 のリードフレーム 1 0 4 を構成している。前記第 3 のリードフレーム 1 0 4 は、適度な硬度、抵抗、価格等を考慮し、例えば C u を含む導電性材料によって構成されている。

【 0 0 3 5 】

前記半導体チップ 1 0 1 の第 1 主面上に形成されている他の電極、ソース電極上の構成と、前記半導体チップ 1 0 1 の第 2 主面上に形成されているドレイン電極上の構成は図 3 と同じである。

【 0 0 3 6 】

前記ゲート電極上に接続されているストラップを兼ねた前記第 3 のヒートシンク部 1 1 3 は、前記半導体チップ 1 0 1 の主面に直接接触させて圧接することによって接続されている。前記第 3 のヒートシンク部 1 1 3 は上面を露出するように、周囲に前記ハウジング 1 1 1 が形成されている。前記ハウジング 1 1 1 は、樹脂等によって封止されている。前記第 3 のヒートシンク部 1 1 3 は、周囲を樹脂で覆われており、前記第 1 のヒートシンク部 1 0 5 とは絶縁されている。前記第 1 及び第 2 のヒートシンク部 1 0 5, 1 0 6 は、ヒートシンクの効果をも十分に有するべく、第 1 及び第 2 の端子 1 0 8, 1 0 9 よりも厚く形成されている。

【 0 0 3 7 】

第 2 の変形例によれば、前記第 1 のヒートシンク部 1 0 5 及び前記第 3 のヒートシンク部 1 1 3 の上面と、前記第 2 のヒートシンク部 1 0 6 の下面が、樹脂に封止されておらず、外部に露出しているため、半導体チップから発生する熱を放出することができる。したがって、ゲート電極及びソース電極上に形成される、ストラップとヒートシンクが一体化した構成であるため、効率良く半導体チップ

から発生する熱を外部に放出することができ、熱抵抗を低減するとともに、電気抵抗を低減することが可能となる。また、ゲート電極上にストラップ構造のヒートシンク部が形成されるため、電気抵抗をより低減し、熱抵抗をより低減することができる。

【 0 0 3 8 】

本実施の形態では、ヒートシンク部または上部プレート部と、半導体チップ上の電極とを接続する方法として、上下からの直接接触による圧接接合を記載したが、半田による接合、導電性接着剤による接合でもよい。直接接触による圧接接合では、半田や接着剤等を用いないため、熱膨張率の違いによって生じる界面付近のクラックなどの劣化を抑止できるという点で好ましい。

【 0 0 3 9 】

さらに、本実施の形態に記載したリードフレームの配置・形状等を有するパッケージに限定されない。前記第 1 乃至第 3 のリードフレーム 1 0 2, 1 0 3, 1 0 4 は、それぞれ 3 本, 4 本, 1 本の端子を有しているが、これらの本数は、半導体装置のアウトプット・インプットの構成や用途等によって決定されるものであり、これに限定されない。

(第 2 の実施の形態)

図 9 乃至図 1 1 に本発明の第 2 の実施の形態に係る半導体装置を示す。前記した第 1 の実施の形態と重複する部分については、説明を省略する。

【 0 0 4 0 】

図 9 は、半導体装置の平面図である。図 1 0 は、図 9 に示した半導体装置の A - A における要部断面図であり、図 1 1 は、図 9 に示した半導体装置の B - B における要部断面図である。

【 0 0 4 1 】

ここで、半導体チップ 6 0 1、第 1 及至第 3 のリードフレーム 6 0 2, 6 0 3, 6 0 4、第 1 のヒートシンク 6 0 5、ストラップ 6 0 6、第 2 のヒートシンク部 6 0 7、第 2 の端子 6 0 8、ハウジング 6 0 9 である。半導体装置に搭載されている半導体素子として、例えば MOSFET が形成されている。ここで、ストラップとは、ソース電極やゲート電極とリードフレームを接続する、ほぼ板状の

導電性プレートのことである。

【 0 0 4 2 】

図 1 0 に示すように、前記半導体チップ 6 0 1 の第 1 主面上に形成されている電極の一つ、ゲート電極（図示しない）は、前記ストラップ 6 0 6 の一端と接続され、前記ストラップ 6 0 6 の他端は、前記第 3 のリードフレーム 6 0 4 に接続されている。前記ゲート電極及び前記ストラップ 6 0 6 は、低抵抗な A l を含む導電性材料によって構成されている。また、前記第 3 のリードフレーム 6 0 4 は、硬度を考慮し、例えば C u を含む導電性材料によって構成されている。

【 0 0 4 3 】

前記半導体チップ 6 0 1 の第 2 主面上に形成されているドレイン電極（図示しない）は、前記第 2 のヒートシンク部 6 0 7 が接続されている。前記第 2 のヒートシンク部 6 0 7 は、前記第 2 のリードフレーム 6 0 3 の一端に形成され、前記第 2 の端子 6 0 8 は、前記第 2 のリードフレーム 6 0 3 の他端に形成されており、前記第 2 のヒートシンク部 6 0 7 と前記第 2 の端子 6 0 8 は、一体化して、前記第 2 のリードフレーム 6 0 3 を構成している。前記第 2 のリードフレーム 6 0 3 は、適度な硬度、抵抗、価格等を考慮し、例えば C u を含む導電性材料によって構成されている。

【 0 0 4 4 】

図 1 1 に示すように、前記半導体チップ 6 0 1 の第 1 主面上に形成されている他の電極、ソース電極（図示しない）は、上部プレートによって構成されるストラップとヒートシンクを兼ねた前記第 1 のヒートシンク 6 0 5 の一端と接続され、前記第 1 のヒートシンク 6 0 5 の他端は、前記第 1 のリードフレーム 6 0 2 に接続されている。前記ソース電極及び前記第 1 のヒートシンク 6 0 5 は、低抵抗な A l を含む導電性材料によって構成されている。また、前記第 1 のリードフレーム 6 0 2 は、硬度を考慮し、例えば C u を含む導電性材料によって構成されている。前記第 1 のヒートシンク 6 0 5 は、アーチ状に形成されていてもよい。なお、前記第 1 のヒートシンク 6 0 5 について、「ヒートシンク部」ではなく「ヒートシンク」と記載したのは、第 1 の実施の形態と異なり、前記第 1 のヒートシンク 6 0 5 は、前記第 1 のリードフレーム 6 0 2 の一部分を構成しているわけで

はなく、別個の部品であり、それぞれ接続して形成されていることによる。

【 0 0 4 5 】

前記ソース電極上に接続されているストラップを兼ねた前記第 1 のヒートシンク 6 0 5 と、前記ドレイン電極に接続されている前記第 2 のヒートシンク部 6 0 7 は、前記半導体チップ 6 0 1 を上下から直接挟み込んでいる構成となっている。

【 0 0 4 6 】

前記第 1 のヒートシンク 6 0 5 は、前記半導体チップ 6 0 1 の主面に直接接触させて超音波接合することによって、前記ソース電極と接続されている。前記第 2 のヒートシンク部 6 0 7 は、前記半導体チップ 6 0 1 の主面に直接接触させて圧接接合することによって、前記ドレイン電極と接続されている。前記第 1 のヒートシンク 6 0 5 は上面を露出するよう、前記第 2 のヒートシンク 6 0 6 は下面を露出するよう封止され、周囲に前記ハウジング 1 1 1 が形成されている。前記ハウジング 1 1 1 は、樹脂等によって封止されることによって構成されている。

【 0 0 4 7 】

図 1 0 に示すように、前記ゲート電極上に接続されている前記ストラップ 6 0 6 は樹脂等で覆われており、前記第 1 のヒートシンク 6 0 5 とは絶縁されている。前記第 1 のヒートシンク 6 0 5 及び第 2 のヒートシンク部 6 0 7 は、ヒートシンクの効果を十分有するべく、前記第 1 のリードフレーム 6 0 2 及び第 2 の端子 6 0 8 よりも厚く形成されている。また、図 1 2 及び図 1 3 に示すように、前記ストラップ 6 0 6 の上に、樹脂などの封止体を介して前記第 1 のヒートシンク 6 0 5 が形成されていてもよい。このように形成することによって、ヒートシンク領域の面積をより大きく形成することができるため、さらに熱抵抗を低減することができる。

【 0 0 4 8 】

本実施の形態によれば、前記第 1 のヒートシンク 6 0 5 の上面と、第 2 のヒートシンク部 6 0 7 の下面は、樹脂に封止されておらず、外部に露出しているため、半導体チップから発生する熱を直接外部に放出することができる。したがって、ソース電極上に形成されるストラップとヒートシンクが一体化した構成である。

ため、効率良く半導体チップから発生する熱を外部に放出することができ、熱抵抗を低減するとともに、電気抵抗を低減することが可能となる。

【 0 0 4 9 】

また、ヒートシンクまたはプレートと、電極とが同じ導電性材料で構成されているため、接続の界面においても熱抵抗が低く、放熱効率をより一層向上させることができる。また、ゲート電極上にストラップが接続されているため、電気抵抗をより低減することができる。

【 0 0 5 0 】

なお、ソース電極上にストラップ構造のプレートを接続し、その上にさらにヒートシンクを配置することも考えられるが、この場合は、前記プレートをソース電極に接続した際に前記導電性プレートに生じる凹凸によって、前記プレートとヒートシンクが密着せず、隙間が生じることにより、効率よく外部に熱を放出することができないことがある。

(第 1 の変形例)

図 1 4 に本発明の第 2 の実施の形態の第 1 の変形例に係る半導体装置を示す。

【 0 0 5 1 】

図 1 4 は、図 9 に示した半導体装置の A - A における要部断面図である。なお、図 9 に示した半導体装置の B - B における要部断面図は、前記した第 2 の実施の形態の図 1 1 と同じである。

【 0 0 5 2 】

ここで、半導体チップ 6 0 1、第 1 及至第 3 のリードフレーム 6 0 2、6 0 3、6 0 4、第 1 のヒートシンク 6 0 5、第 2 のヒートシンク部 6 0 7、第 2 の端子 6 0 8、ゲートワイヤ 6 1 0、ハウジング 6 0 9 である。半導体装置に搭載されている半導体素子として、例えば MOS F E T が形成されている。

【 0 0 5 3 】

図 1 4 に示すように、前記半導体チップ 6 0 1 の第 1 主面上に形成されている電極の一つ、ゲート電極（図示しない）上には、ボンディングによって前記ゲートワイヤ 6 1 0 が接続され、前記ゲートワイヤ 6 1 0 を介して前記第 3 のリードフレーム 6 0 4 に接続されている。前記ゲートワイヤ 6 1 0 は例えば金で構成さ

れており、前記第3のリードフレーム604は、適度な硬度、抵抗、価格等を考慮し、例えばCuを含む導電性材料によって構成されている。

【0054】

また、図15に示すように、前記ゲートワイヤ610の上に、樹脂などの封止体を介して前記第1のヒートシンク605が形成されていてもよい。このように形成することによって、ヒートシンク領域の面積をより大きく形成することができるため、さらに熱抵抗を低減することができる。

【0055】

前記半導体チップ601の第1主面上に形成されている他の電極、ソース電極上の構成と、前記半導体チップ601の第2主面上に形成されているドレイン電極上の構成は図11と同じである。前記第1のヒートシンク605及び第2のヒートシンク部607は、ヒートシンクの効果を十分有するべく、前記第1のリードフレーム602及び第2の端子608よりも厚く形成されている。

【0056】

第1の変形例においても、前記第1のヒートシンク605の上面と、第2のヒートシンク部607の下面は、樹脂に封止されておらず、外部に露出しているため、半導体チップから発生する熱を放出することができる。したがって、ソース電極上に形成されるストラップ構造のプレートとヒートシンクが一体化した構成であるため、効率良く半導体チップから発生する熱を外部に放出することができ、熱抵抗を低減するとともに、電気抵抗を低減することが可能となる。さらに、第1のヒートシンクが、電極と同じ導電性材料を有するよう形成されているため、放熱効率をより一層向上させることができる。

【0057】

ここで、ゲート電極とリードフレームとが、ゲートワイヤによって接続されているが、ゲート電極は制御電極であり、ソース電極と比較すると多くの電流を流す必要がないため、ゲートワイヤによる電気抵抗の増加は微小である。よって、第1の変形例では、ゲート電極上のプレートを加工して形成する必要がないため、第2の実施の形態において記載した例と比べて、比較的容易に製造することができ、電気抵抗及び熱抵抗をほぼ同様に低減することが可能となる。

(第 2 の変形例)

図 1 6 に本発明の第 2 の実施の形態の第 2 の変形例に係る半導体装置を示す。

【 0 0 5 8 】

図 1 6 は、半導体装置の要部断面図である。平面図は、前記した第 2 の実施の形態の図 9 と同じであり、B - B における要部断面図は、前記した第 2 の実施の形態の図 1 1 と同じである。

【 0 0 5 9 】

ここで、半導体チップ 6 0 1、第 1 及至第 3 のリードフレーム 6 0 2、6 0 3、6 0 4、第 1 のヒートシンク 6 0 5、第 2 のヒートシンク部 6 0 7、第 2 の端子 6 0 8、第 3 のヒートシンク 6 1 1、ハウジング 6 0 9 である。前記半導体チップ 6 0 1 には、例えば MOSFET が形成されている。

【 0 0 6 0 】

図 1 6 に示すように、前記半導体チップ 6 0 1 の第 1 主面上に形成されている電極の一つ、ゲート電極（図示しない）は、ストラップを兼ねた前記第 3 のヒートシンク 6 1 1 の一端と接続され、前記第 3 のヒートシンク 6 1 1 の他端は、前記第 3 のリードフレーム 6 0 4 に接続されている。前記ゲート電極及び前記第 3 のヒートシンク 6 1 1 は、低抵抗な A 1 を含む導電性材料によって構成されている。また、前記第 3 のリードフレーム 6 0 4 は、適度な硬度、抵抗、価格等を考慮し、例えば Cu を含む導電性材料によって構成されている。

【 0 0 6 1 】

前記半導体チップ 6 0 1 の第 1 主面上に形成されている他の電極、ソース電極上の構成と、前記半導体チップ 6 0 1 の第 2 主面上に形成されているドレイン電極上の構成は図 1 1 と同じである。

【 0 0 6 2 】

前記ゲート電極上に接続されているストラップを兼ねた前記第 3 のヒートシンク 6 1 1 は、前記半導体チップ 6 0 1 の主面に直接接触させて超音波接合することによって接続されている。前記第 3 のヒートシンク 6 1 1 は上面を露出するように封止され、周囲に前記ハウジング 6 0 8 が形成されている。前記ハウジング 6 0 9 は、樹脂等によって封止されている。前記第 3 のヒートシンク 6 1 1 は、周

囲を樹脂で覆われており、前記第 1 のヒートシンク 6 0 5 は絶縁されている。前記第 1 のヒートシンク 6 0 5 と第 2 のヒートシンク部 6 0 7 は、ヒートシンクの効果を十分有するべく、前記第 1 のリードフレーム 6 0 2 と第 2 の端子 6 0 8 よりも厚く形成されている。

【 0 0 6 3 】

第 2 の変形例によれば、前記第 1 のヒートシンク 6 0 5 及び前記第 3 のヒートシンク 6 1 1 の上面と、前記第 2 のヒートシンク部 6 0 7 の下面が、樹脂に封止されておらず、外部に露出しているため、半導体チップから発生する熱を直接外部に放出することができる。したがって、ゲート電極及びソース電極上に形成される、ストラップとヒートシンクが一体化した構成であるため、効率良く半導体チップから発生する熱を外部に放出することができ、熱抵抗を低減するとともに、電気抵抗を低減することが可能となる。さらに、第 1 のヒートシンク及び第 2 のヒートシンク部が、各電極と同じ導電性材料を有するよう形成されているため、放熱効率をより一層向上させることができる。

【 0 0 6 4 】

本実施の形態では、ヒートシンクまたはストラップと、半導体チップ上の電極とを接続する方法として、上下からの直接接触による超音波接合法及び圧接接合法を記載したが、半田による接合、導電性接着剤による接合でもよい。直接接触による接合では、半田や接着剤等を用いないため、熱膨張率の違いによって生じる界面付近のクラックなどの劣化を抑止できるという点で好ましい形態である。

【 0 0 6 5 】

また、本実施の形態に記載したリードフレームの配置・形状等を有するパッケージに限定されない。前記第 1 乃至第 3 のリードフレーム 6 0 2, 6 0 3, 6 0 4 は、それぞれ 3 本, 4 本, 1 本の端子を有しているが、これらの本数は、半導体装置のアウトプット・インプットの構成や用途等によって決定されるものであり、これに限定されない。

【 0 0 6 6 】

以上、第 1 及び第 2 の実施の形態では、半導体装置に搭載する半導体素子として、縦型の MOSFET を例に説明したが、図 1 7 に示すように、半導体装置に

搭載する半導体素子として、縦型のトランジスタ 1 1 0 1 a の他にダイオード 1 1 0 1 b が形成されていてもよい。ここで、第 1 及至第 3 のリードフレーム 1 1 0 2, 1 1 0 3, 1 1 0 4、第 1 及び第 2 のヒートシンク部 1 1 0 5, 1 1 0 6、上部プレート部 1 1 0 7、第 1 乃至第 3 の端子 1 1 0 8, 1 1 0 9, 1 1 1 0、ハウジング 1 1 1 1 である。

【 0 0 6 7 】

すなわち、複数のチップが半導体装置内に搭載されている場合にも適用することもでき、この場合にも、第 1 及び第 2 の実施の形態とその変形例に示した形態で実施することができる。また、半導体素子は、M O S F E T に限定されず、I G B T, I E G T, M C T, G T O などでもかまわない。

【 0 0 6 8 】

【発明の効果】

以上詳述したように、本発明によれば、第 1 のヒートシンク部の上面と、第 2 のヒートシンク部の下面は、樹脂に封止されておらず、外部に露出しているため、半導体チップから発生する熱を直接外部に放出することができる。したがって、電極上に形成される、ストラップ構造のプレートとヒートシンクが一体化した構成であるため、効率良く半導体チップから発生する熱を外部に放出することができ、熱抵抗の低減が可能となるとともに、電気抵抗を低減することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態に係る半導体装置を示す平面図である。

【図 2】 本発明の第 1 の実施の形態に係る半導体装置を示す図 1 の A - A における要部断面図である。

【図 3】 本発明の第 1 の実施の形態に係る半導体装置を示す図 1 の B - B における要部断面図である。

【図 4】 本発明の第 1 の実施の形態に係る他の半導体装置を示す平面図である。

【図 5】 本発明の第 1 の実施の形態に係る他の半導体装置を示す図 4 の A - A における要部断面図である。

【図 6】 本発明の第 1 の実施の形態の第 1 の変形例に係る半導体装置を示す図

1 の A - A における要部断面図である。

【図 7】 本発明の第 1 の実施の形態の第 1 の変形例に係る他の半導体装置を示す図 4 の A - A における要部断面図である。

【図 8】 本発明の第 1 の実施の形態の第 2 の変形例に係る半導体装置を示す図 1 の A - A における要部断面図である。

【図 9】 本発明の第 2 の実施の形態に係る半導体装置を示す平面図である。

【図 1 0】 本発明の第 2 の実施の形態に係る半導体装置を示す図 9 の A - A における要部断面図である。

【図 1 1】 本発明の第 2 の実施の形態に係る半導体装置を示す図 9 の B - B における要部断面図である。

【図 1 2】 本発明の第 2 の実施の形態に係る他の半導体装置を示す平面図である。

【図 1 3】 本発明の第 2 の実施の形態に係る他の半導体装置を示す図 1 2 の A - A における要部断面図である。

【図 1 4】 本発明の第 2 の実施の形態の第 1 の変形例に係る半導体装置を示す図 9 の A - A における要部断面図である。

【図 1 5】 本発明の第 2 の実施の形態の第 1 の変形例に係る他の半導体装置を示す図 1 2 の A - A における要部断面図である。

【図 1 6】 本発明の第 2 の実施の形態の第 2 の変形例に係る半導体装置を示す図 9 の A - A における要部断面図である。

【図 1 7】 本発明の他の実施の形態に係る半導体装置を示す平面図である。

【図 1 8】 従来技術の半導体装置を示す平面図である。

【図 1 9】 従来技術の半導体装置を示す図 1 8 の A - A における要部断面図である。

【図 2 0】 従来技術の他の半導体装置を示す平面図である。

【図 2 1】 従来技術の他の半導体装置を示す図 2 0 の A - A における要部断面図である。

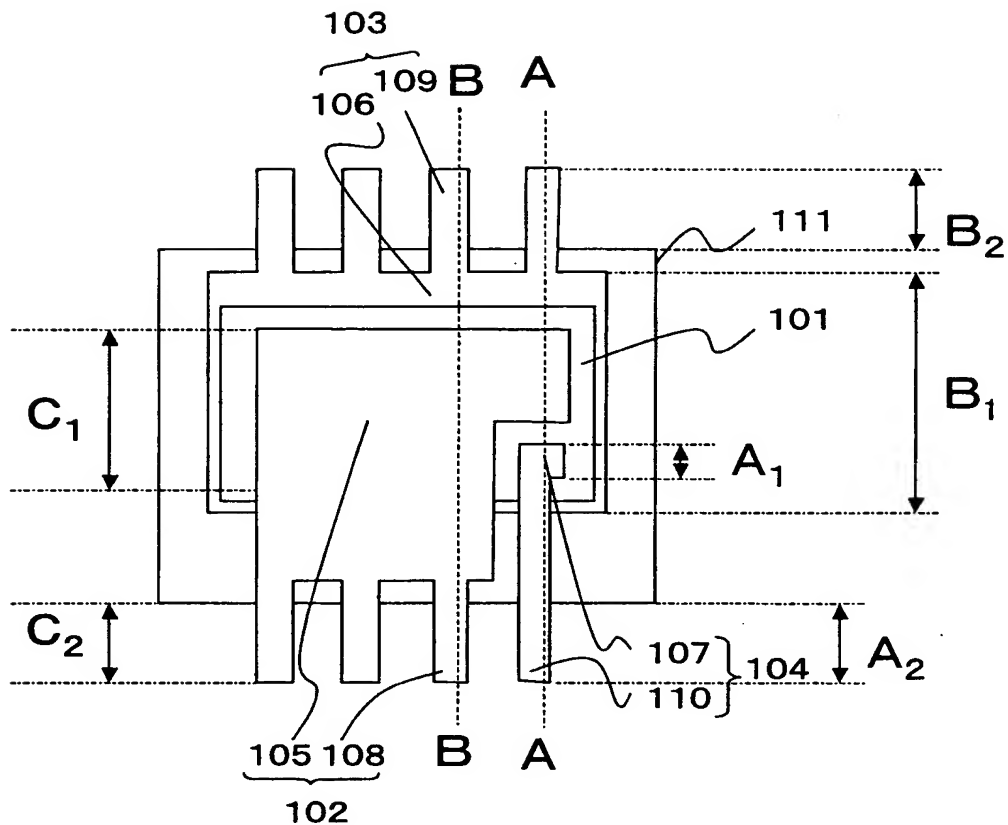
【符号の説明】

1 0 1, 6 0 1, 1 2 0 1, 1 4 0 1 . . . 半導体チップ

1 0 2, 6 0 2, 1 1 0 2, 1 2 0 2, 1 4 0 2 . . . 第 1 のリードフレーム
 1 0 3, 6 0 3, 1 1 0 3, 1 2 0 3, 1 4 0 3 . . . 第 2 のリードフレーム
 1 0 4, 6 0 4, 1 1 0 4, 1 2 0 4, 1 4 0 4 . . . 第 3 のリードフレーム
 1 0 5, 1 1 0 5 . . . 第 1 のヒートシンク部
 1 0 6, 6 0 7, 1 1 0 6 . . . 第 2 のヒートシンク部
 1 0 7, 1 1 0 7, 1 2 0 7 . . . 上部プレート部
 1 0 8, 1 1 0 8 . . . 第 1 の端子
 1 0 9, 6 0 8, 1 1 0 9 . . . 第 2 の端子
 1 1 0, 1 1 1 0 . . . 第 3 の端子
 1 1 1, 6 0 9, 1 1 1 1, 1 2 0 6, 1 4 0 8 . . . ハウジング
 1 1 2, 6 1 0, 1 2 0 5, 1 4 0 7 . . . ゲートワイヤ
 1 1 3 . . . 第 3 のヒートシンク部
 6 0 5 . . . 第 1 のヒートシンク
 6 0 6 . . . ストラップ
 6 1 1 . . . 第 3 のヒートシンク
 1 1 0 1 a . . . トランジスタ
 1 1 0 1 b . . . ダイオード
 1 2 0 8 . . . 底部プレート部
 1 4 0 5 . . . ヒートシンク
 1 4 0 6 . . . ソースワイヤ
 A₁ . . . 第 3 のリードフレームの一端 (第 1 の実施の形態)
 A₂ . . . 第 3 のリードフレームの他端 (第 1 の実施の形態)
 B₁ . . . 第 1 のリードフレームの一端 (第 1 の実施の形態)
 B₂ . . . 第 1 のリードフレームの他端 (第 1 の実施の形態)
 C₁ . . . 第 2 のリードフレームの一端 (第 1 の実施の形態)
 C₂ . . . 第 2 のリードフレームの他端 (第 1 の実施の形態)

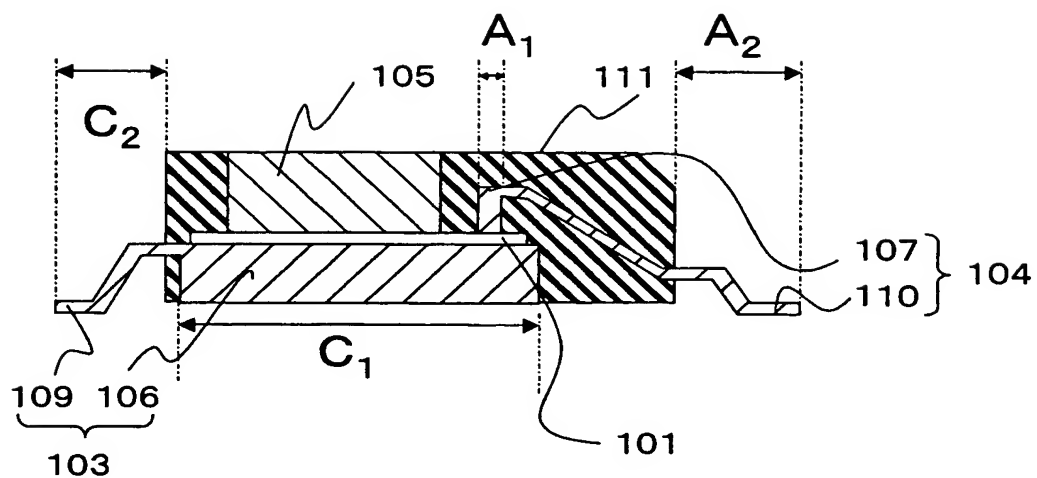
【書類名】 図面

【図 1】



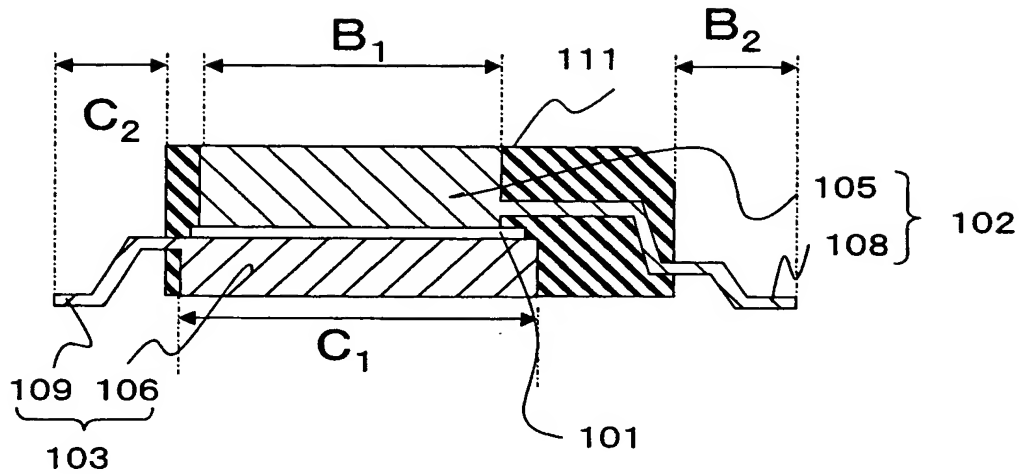
- 101…半導体チップ
- 102…第1のリードフレーム
- 103…第2のリードフレーム
- 104…第3のリードフレーム
- 105…第1のヒートシンク部
- 106…第2のヒートシンク部
- 107…上部プレート部
- 108…第1の端子
- 109…第2の端子
- 110…第3の端子
- 111…ハウジング

【図 2】



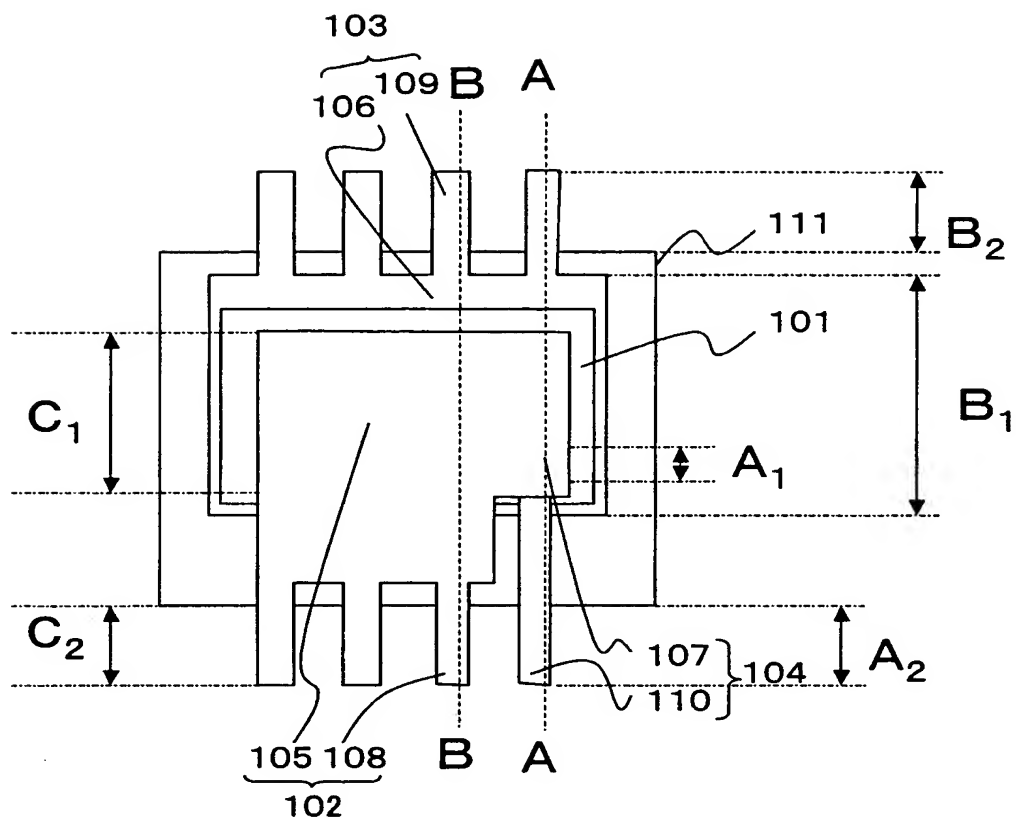
- 101・・・半導体チップ
- 103・・・第2のリードフレーム
- 104・・・第3のリードフレーム
- 105・・・第1のヒートシンク部
- 106・・・第2のヒートシンク部
- 107・・・上部プレート部
- 109・・・第2の端子
- 110・・・第3の端子
- 111・・・ハウジング

【図 3】



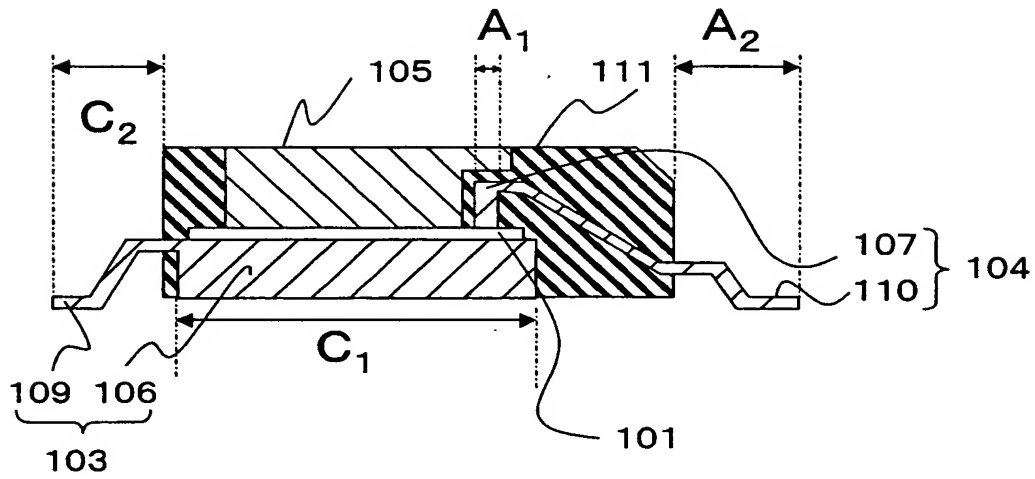
- 101…半導体チップ
- 102…第1のリードフレーム
- 103…第2のリードフレーム
- 105…第1のヒートシンク部
- 106…第2のヒートシンク部
- 108…第1の端子
- 109…第2の端子
- 111…ハウジング

【図4】



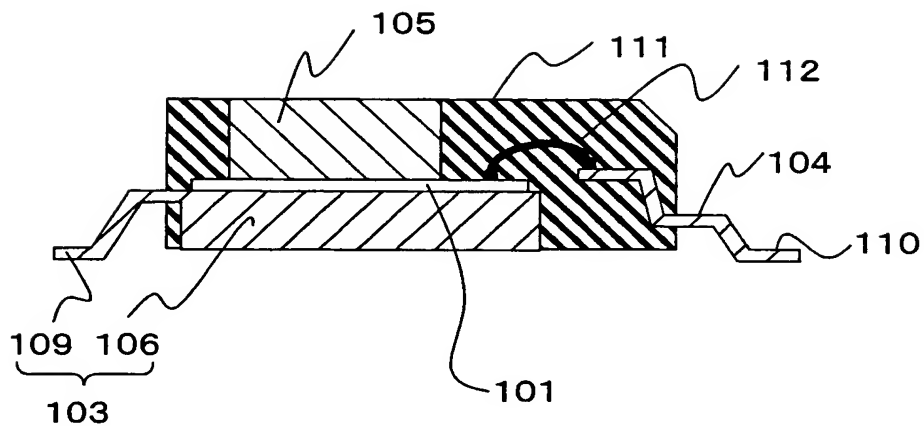
- 101…半導体チップ
- 102…第1のリードフレーム
- 103…第2のリードフレーム
- 104…第3のリードフレーム
- 105…第1のヒートシンク部
- 106…第2のヒートシンク部
- 107…上部プレート部
- 108…第1の端子
- 109…第2の端子
- 110…第3の端子
- 111…ハウジング

【図5】



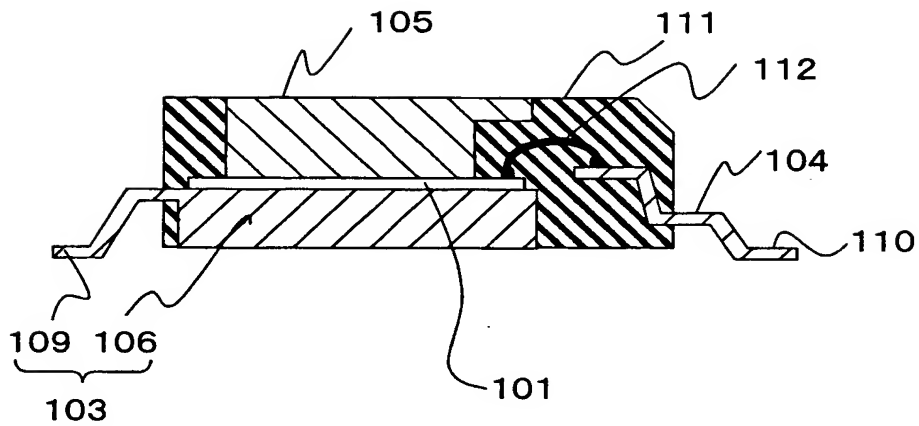
- 101・・・半導体チップ
- 103・・・第2のリードフレーム
- 104・・・第3のリードフレーム
- 105・・・第1のヒートシンク部
- 106・・・第2のヒートシンク部
- 107・・・上部プレート部
- 109・・・第2の端子
- 110・・・第3の端子
- 111・・・ハウジング

【図 6】



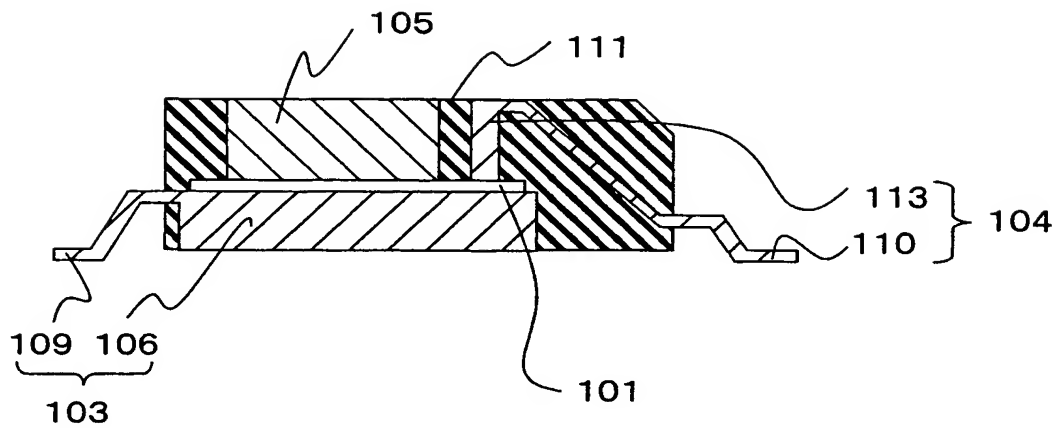
- 101…半導体チップ
- 103…第2のリードフレーム
- 104…第3のリードフレーム
- 105…第1のヒートシンク部
- 106…第2のヒートシンク部
- 109…第2の端子
- 110…第3の端子
- 111…ハウジング
- 112…ゲートワイヤ

【図 7】



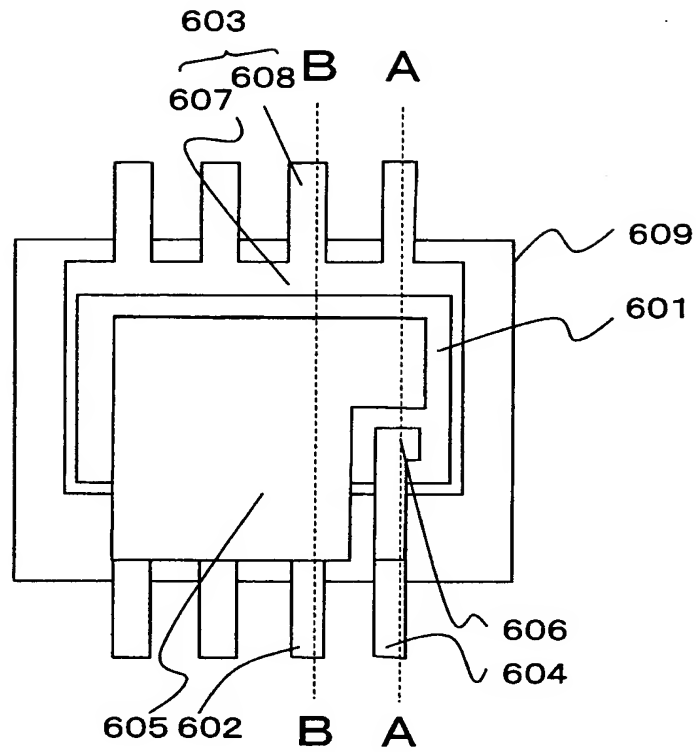
- 101…半導体チップ
- 103…第2のリードフレーム
- 104…第3のリードフレーム
- 105…第1のヒートシンク部
- 106…第2のヒートシンク部
- 109…第2の端子
- 110…第3の端子
- 111…ハウジング
- 112…ゲートワイヤ

【図 8】



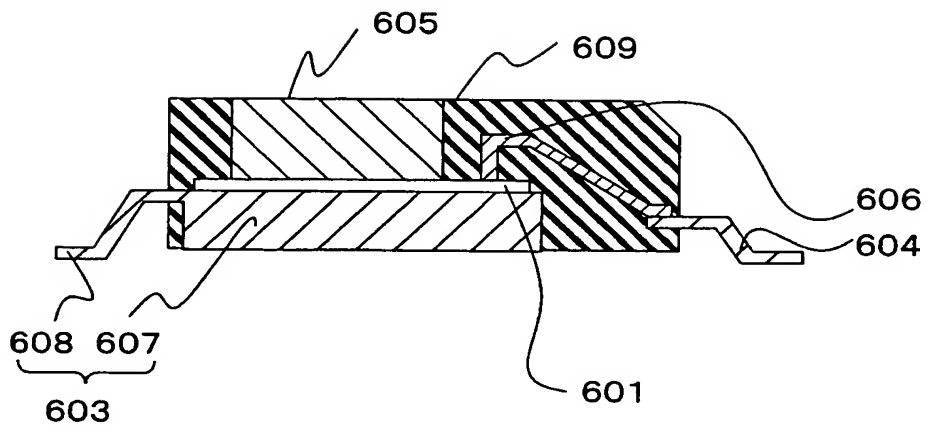
- 101…半導体チップ
- 103…第2のリードフレーム
- 104…第3のリードフレーム
- 105…第1のヒートシンク部
- 106…第2のヒートシンク部
- 109…第2の端子
- 110…第3の端子
- 111…ハウジング
- 113…第3のヒートシンク部

【図 9】



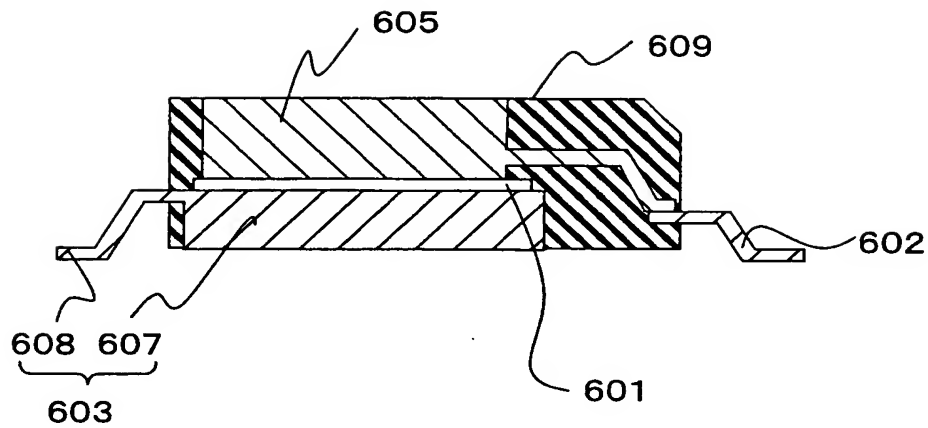
- 601…半導体チップ
- 602…第1のリードフレーム
- 603…第2のリードフレーム
- 604…第3のリードフレーム
- 605…第1のヒートシンク
- 606…ストラップ
- 607…第2のヒートシンク部
- 608…第2の端子
- 609…ハウジング

【図 1 0】



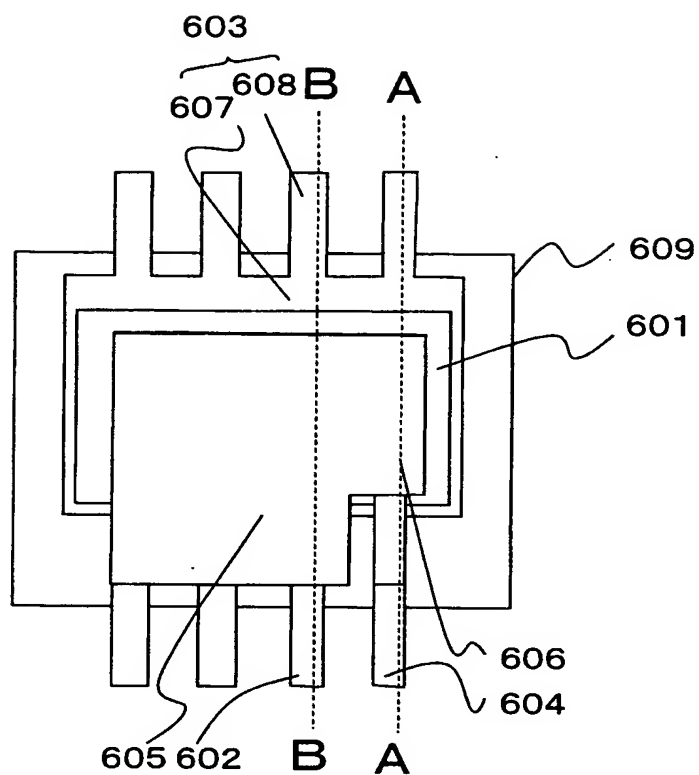
- 601…半導体チップ
- 603…第2のリードフレーム
- 604…第3のリードフレーム
- 605…第1のヒートシンク
- 606…ストラップ
- 607…第2のヒートシンク部
- 608…第2の端子
- 609…ハウジング

【図 1 1】



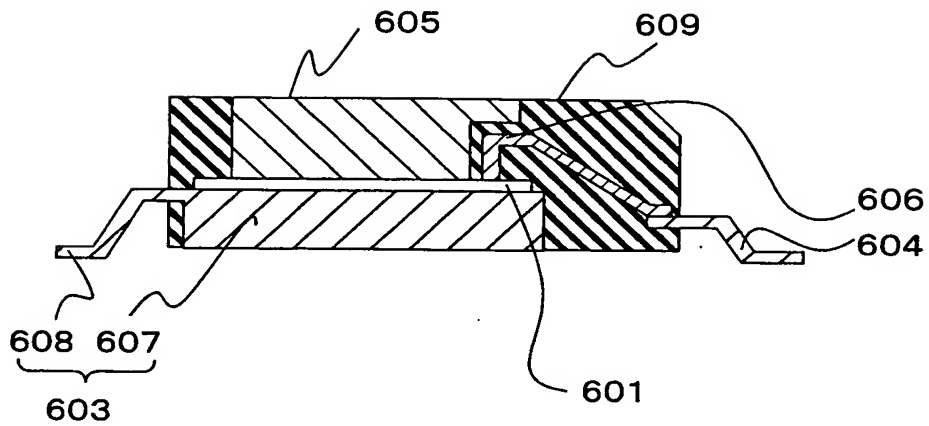
- 601…半導体チップ
- 602…第1のリードフレーム
- 603…第2のリードフレーム
- 605…第1のヒートシンク
- 607…第2のヒートシンク部
- 608…第2の端子
- 609…ハウジング

【図 1 2】



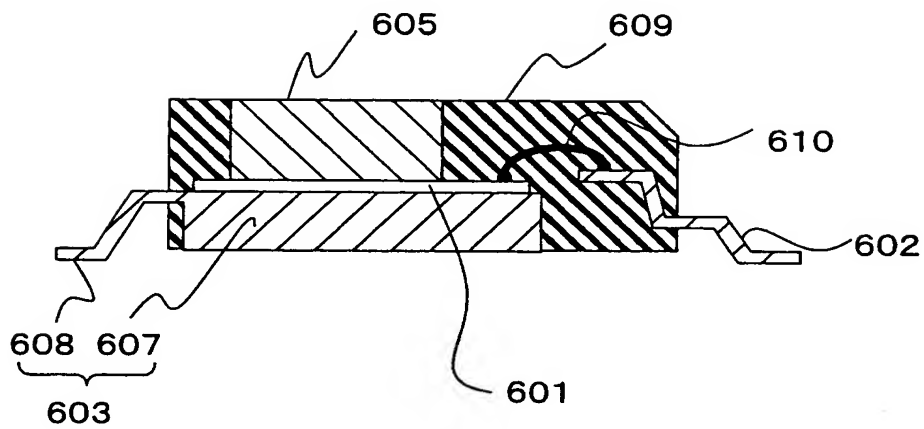
- 601…半導体チップ
- 602…第1のリードフレーム
- 603…第2のリードフレーム
- 604…第3のリードフレーム
- 605…第1のヒートシンク
- 606…ストラップ
- 607…第2のヒートシンク部
- 608…第2の端子
- 609…ハウジング

【図 1 3】



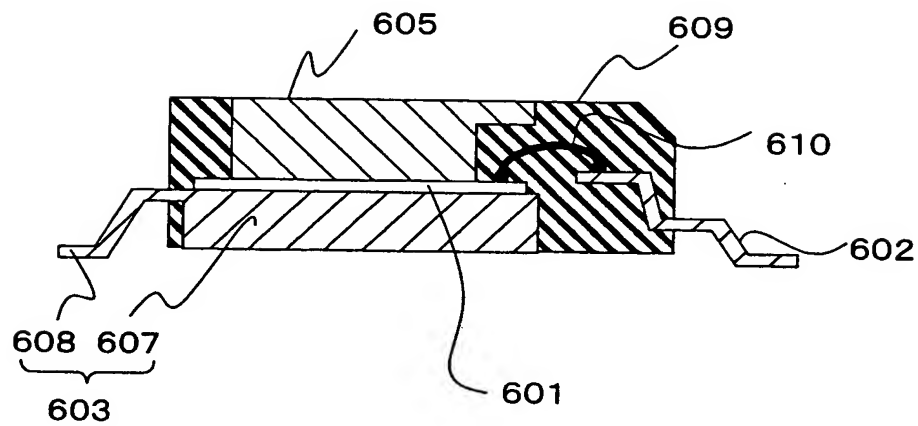
- 601…半導体チップ
- 603…第2のリードフレーム
- 604…第3のリードフレーム
- 605…第1のヒートシンク
- 606…ストラップ
- 607…第2のヒートシンク部
- 608…第2の端子
- 609…ハウジング

【図 1 4】



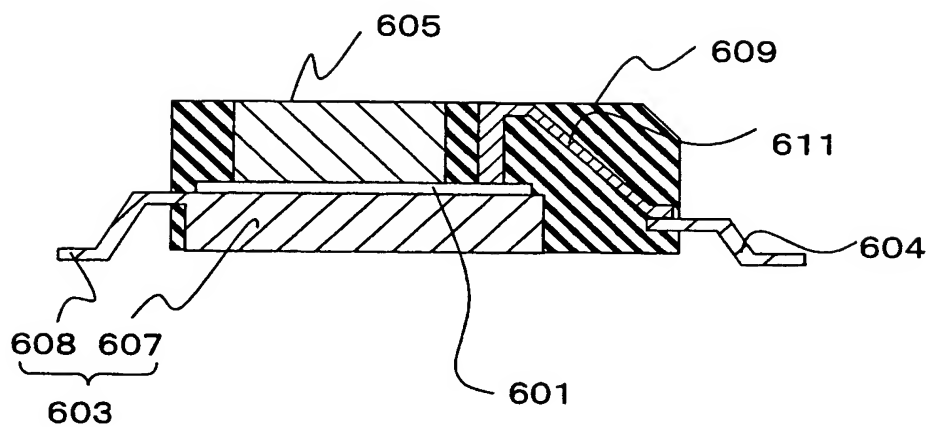
- 601・・・半導体チップ
- 602・・・第1のリードフレーム
- 603・・・第2のリードフレーム
- 605・・・第1のヒートシンク
- 607・・・第2のヒートシンク部
- 608・・・第2の端子
- 609・・・ハウジング
- 610・・・ゲートワイヤ

【図 1 5】



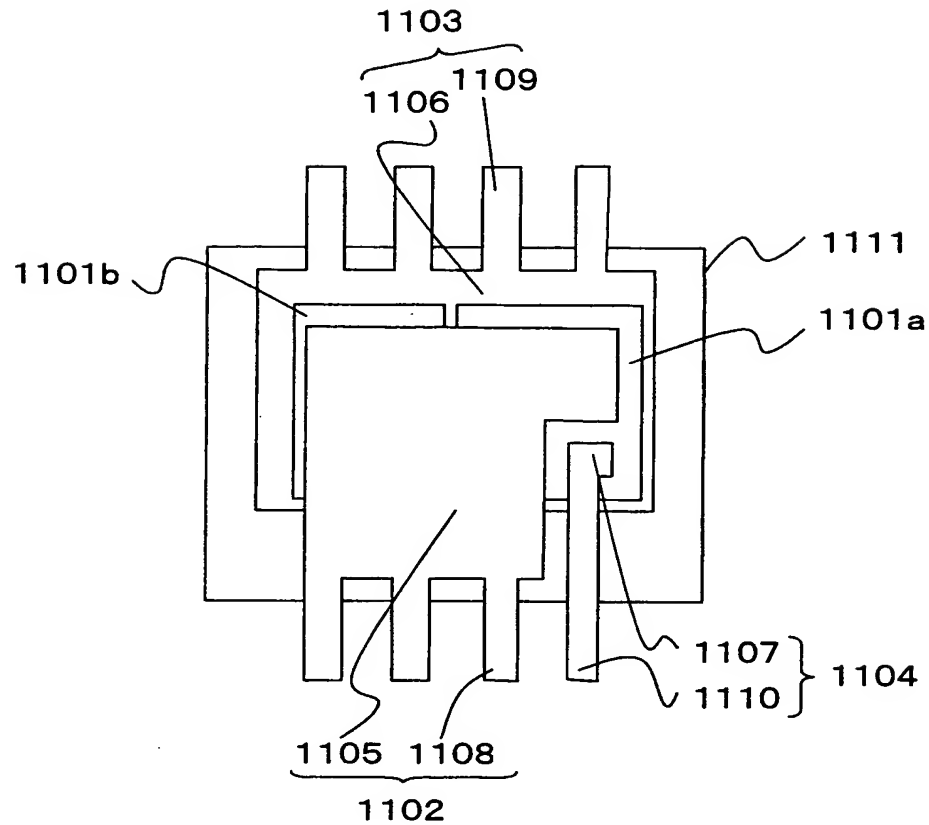
- 601・・・半導体チップ
- 602・・・第1のリードフレーム
- 603・・・第2のリードフレーム
- 605・・・第1のヒートシンク
- 607・・・第2のヒートシンク部
- 608・・・第2の端子
- 609・・・ハウジング
- 610・・・ゲートワイヤ

【図 1 6】



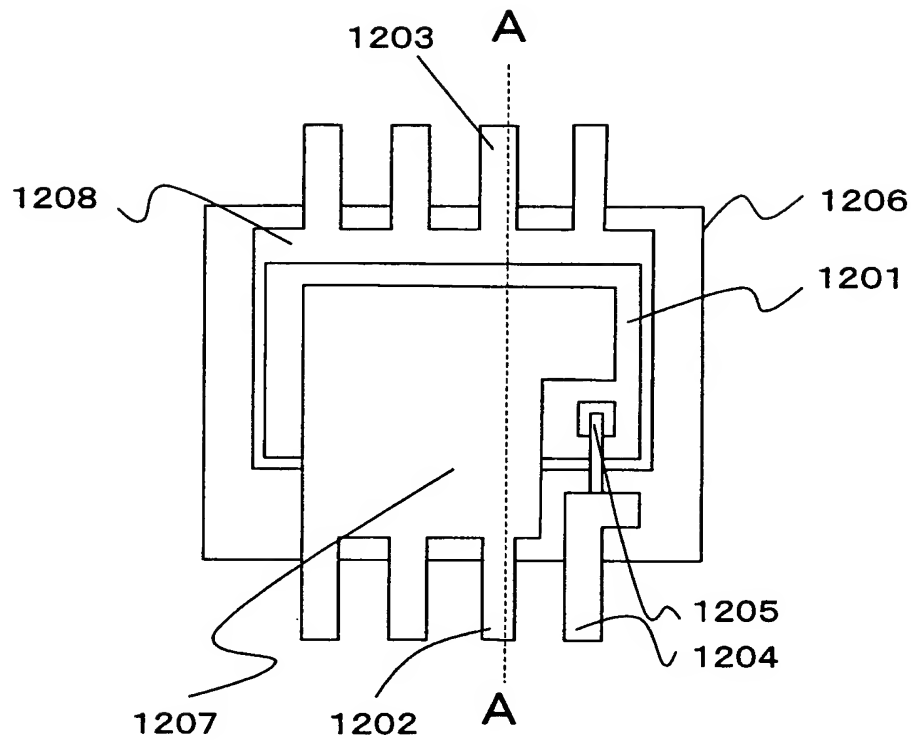
- 601・・・半導体チップ
- 603・・・第2のリードフレーム
- 604・・・第3のリードフレーム
- 605・・・第1のヒートシンク
- 607・・・第2のヒートシンク部
- 608・・・第2の端子
- 609・・・ハウジング
- 611・・・第3のヒートシンク

【図 1 7】



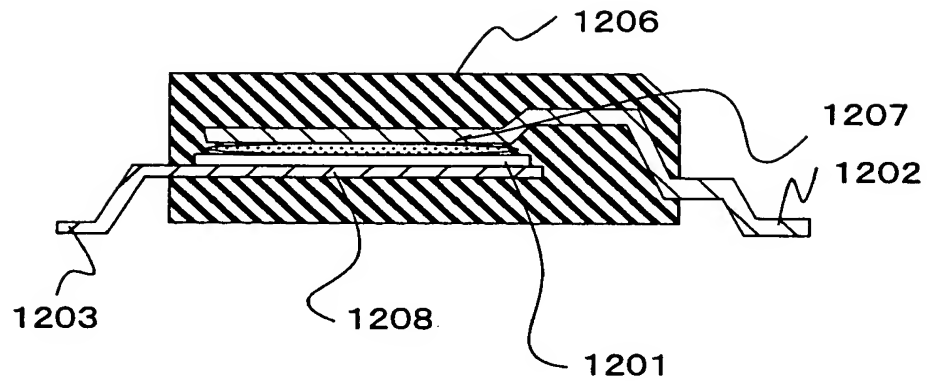
- 1101a…トランジスタ
- 1101b…ダイオード
- 1102…第1のリードフレーム
- 1103…第2のリードフレーム
- 1104…第3のリードフレーム
- 1105…第1のヒートシンク部
- 1106…第2のヒートシンク部
- 1107…上部プレート部
- 1108…第1の端子
- 1109…第2の端子
- 1110…第3の端子
- 1111…ハウジング

【図 1 8】



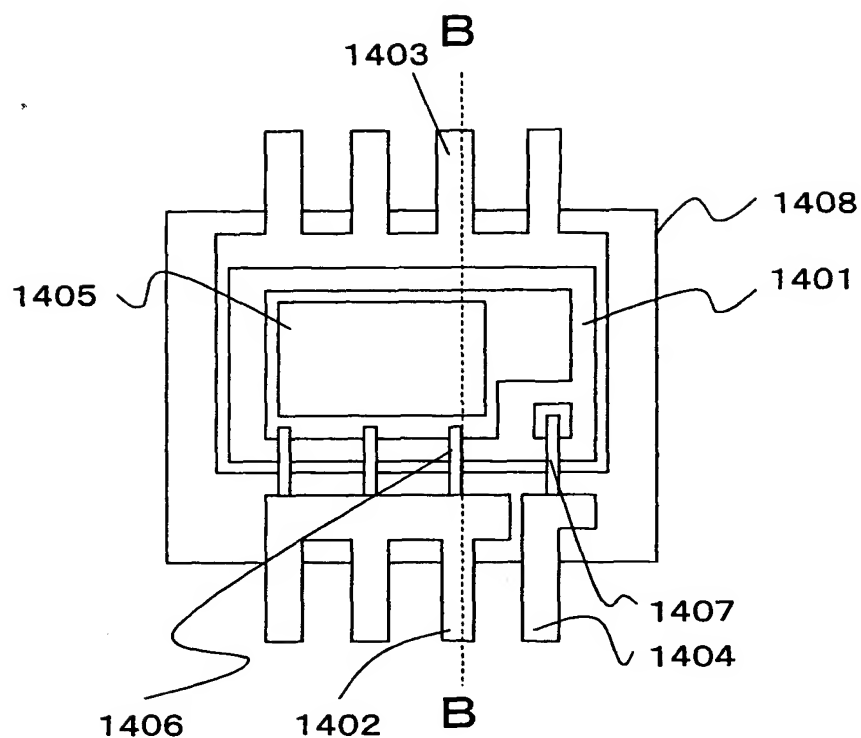
- 1201…半導体チップ
- 1202…第1のリードフレーム
- 1203…第2のリードフレーム
- 1204…第3のリードフレーム
- 1205…ゲートワイヤ
- 1206…ハウジング
- 1207…上部プレート部
- 1208…底部プレート部

【図 1 9】



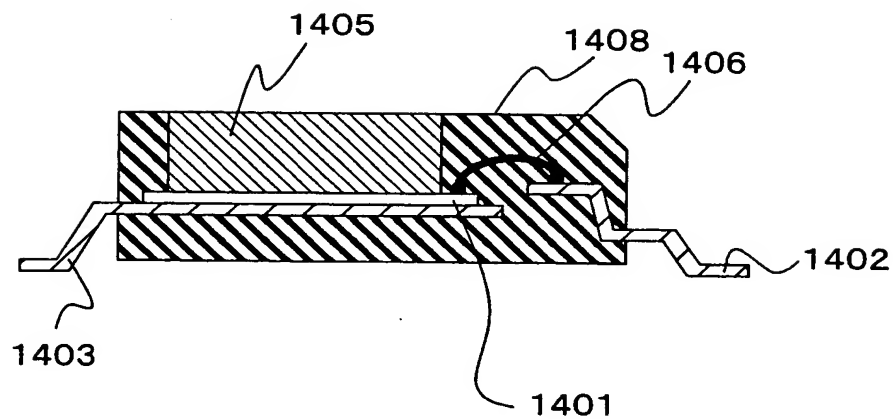
- 1201・・・半導体チップ
- 1202・・・第1のリードフレーム
- 1203・・・第2のリードフレーム
- 1206・・・ハウジング
- 1207・・・上部プレート部
- 1208・・・底部プレート部

【図 2 0】



- 1401…半導体チップ
- 1402…第1のリードフレーム
- 1403…第2のリードフレーム
- 1404…第3のリードフレーム
- 1405…ヒートシンク
- 1406…ソースワイヤ
- 1407…ゲートワイヤ
- 1408…ハウジング

【図 2 1】



- 1401・・・半導体チップ
- 1402・・・第1のリードフレーム
- 1403・・・第2のリードフレーム
- 1405・・・ヒートシンク
- 1406・・・ソースワイヤ
- 1408・・・ハウジング

【書類名】 要約書

【要約】

【課題】 電気抵抗を低減するとともに、半導体チップから発生する熱を効率よく外部に放出することが可能な半導体装置を提供する。

【解決手段】 半導体チップの第 1 主面上に第 1 の電極を少なくとも有し、第 2 主面上に第 2 の電極を少なくとも有する半導体チップと、第 1 のヒートシンク部 1 0 5 から延びる第 1 の端子 1 0 8 を有し、前記第 1 のヒートシンク部 1 0 5 が前記第 1 の電極と接続された第 1 のリードフレーム 1 0 2 と、第 2 のヒートシンク部 1 0 6 から延びる第 2 の端子 1 0 9 を有し、前記第 2 のヒートシンク部 1 0 6 が前記第 2 の電極と接続されている第 2 のリードフレーム 1 0 3 と、前記半導体チップを封止し、第 1 及び第 2 のヒートシンク部 1 0 5, 1 0 6 の表面を露出するよう形成されたハウジング 1 1 1 とを具備した半導体装置である。

【選択図】 図 1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 2 5 9 6 0 1
受付番号	5 0 2 0 1 3 2 5 3 2 3
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 9 月 6 日

< 認定情報・付加情報 >

【提出日】	平成14年 9月 5日
-------	-------------

)

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝